

Your Ref: 69509-302277

Our Ref: PA808S

**Translation of Selected Portions of
Pat. Laid-open Official Gazette**

Appln. No: 3-149240
Appln. Date: May 27, 1991
Laid-open Pub. No: 6-89245
Laid-open Pub. Date: March 29, 1994
Priority: 5/25/90 U.S.S.N. 528951

Inventor(s): Eric Davis & Down Lungston (?)
Applicant(s): Silicon Systems Inc.
Attorney(s): Masaki Yamakawa

1. Title of the Invention

COMMUNICATION/EMULATE CIRCUIT

2. Claims

(omitted)

3. Detailed Description of the Invention (Selected Portions)

1)

(omitted)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-89245

(43)公開日 平成 6 年(1994) 3 月29日

(51)Int.Cl.⁵

G 0 6 F 13/00

識別記号

3 5 3 B 7368-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 16 頁)

(21)出願番号 特願平3-149240

(22)出願日 平成 3 年(1991) 5 月27日

(31)優先権主張番号 5 2 8 9 5 1

(32)優先日 1990年 5 月25日

(33)優先権主張国 米国 (U S)

(71)出願人 591075515

シリコン・システムズ・インコーポレーテッド

アメリカ合衆国 92680 カリフォルニア
州・ツーステン・マイフォード ロード・
14351

(72)発明者 エリック・デヴィーズ

アメリカ合衆国 95949 カリフォルニア
州・グラス パレイ・フランシス ドライ
ブ・633

(74)代理人 弁理士 山川 政樹

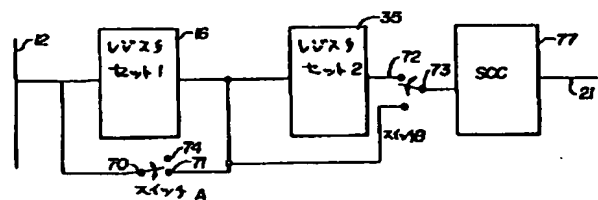
最終頁に続く

(54)【発明の名称】 通信・エミュレート回路

(57)【要約】

【目的】 シリアル通信のための構成可能アーキテクチャを提供する。

【構成】 このアーキテクチャは、同期データ通信と非同期データ通信の双方について並列／直列変換装置をエミュレートすることができ、複数のレジスタセットを使用して、標準インタフェースをエミュレートする。第1のレジスタブロックは、ホストコンピュータと局所プロセッサとを通信させるためにデータ・制御記憶機能を実行する。第2のレジスタブロックは、独自のデータ・制御記憶機能と、いくつかの通信プロトコルを実現するための機能とを伴うシリアル通信コントローラ (S C C) をエミュレートする。S C Cは直列データ出力を供給する。本発明は、標準要件に適合するインタフェースを依然として維持しつつ、同一の基本ブロックを使用して同期要件と非同期要件に対して構成を最適化する融通性をもったアーキテクチャである。



【特許請求の範囲】

【請求項1】 ホストコンピュータの第1のバスに第1のポートが結合し、並列データ及び制御信号を受信すると共に、第2のポートに結合する第1の接続点が前記並列データ及び制御信号を出力として供給する第1の複数のレジスタと；前記第1の接続点に結合し、前記並列データ及び前記制御信号を受信すると共に、第2の接続点が前記並列データ及び制御信号を出力として供給する第2の複数のレジスタと；前記第1のバスと前記第1の接続点との間に結合し、前記第1のバスを前記第1の接続点に対して選択的に結合、遮断する第1のスイッチ手段と；前記第1の接続点及び前記第2の接続点に選択的に結合される第2のスイッチ手段に結合し、前記並列データ及び前記制御信号を受信すると共に、前記並列データを直列データに変換し、前記直列データを第3のポートに供給する制御手段とを具備する通信回路。

【請求項2】 第1の複数のレジスタは第1バスを介してホストコンピュータに接続しており、該第1の複数のレジスタは第2の複数のレジスタに接続しており、該第2の複数のレジスタは第1の切替手段に接続しており、上記第1の切替手段は前記第2の複数のレジスタを上記第1バスに接続したり或いは切断したりするものであり、且つ制御手段に接続した第2の切替手段は上記制御手段を上記第2の複数のレジスタに又は上記第1の複数のレジスタおよび上記第2の複数のレジスタに交互に接続するものであり、上記制御手段は第2バスに接続した構成の複数の通信インタフェースをエミュレートする回路において、

前記第1の複数のレジスタは550型装置の複数のレジスタをエミュレートし、前記第2の複数のレジスタは8530型装置の複数のレジスタをエミュレートし、前記制御手段は8530型装置の変換回路をエミュレートするものであり、

且つ当該エミュレートする回路は前記第1および第2切替手段の選択的動作によって形成できるようにしたことを特徴とするエミュレート回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、汎用同期-非同期送受信器に関する。

【0002】

【従来の技術】 コンピュータ又は他の処理装置はプリンタ、通信装置などの周辺装置に結合されることが多い。ホストコンピュータで実行される通信プログラムは、ホストコンピュータから通信装置へのデータの転送を制御する。ホストコンピュータの中央処理装置（CPU）、すなわちプロセッサは、メモリから通信装置へのデータの伝送を実現する。通常、プロセッサはデータを並列に受信し、送信するが、周辺装置は一般に直列データストリームを要求する。通信装置がコンピュータプロセッサ

に結合しているときには、まず、コンピュータプロセッサの並列出力を直列出力に変換し、直列ポートを介して周辺装置に供給する。その後、周辺装置は直列データストリームに基づいて動作する。例えば、周辺装置がモデムである場合、直列データストリームを変調し、伝送線を介して送信する。

【0003】 モデム又はプロトコル変換器などの多くの通信装置は「知能」を有する。すなわち、それらの装置には独自の処理手段が組み込まれているのである。そのような知能をもつ装置は、直列データストリームを受信すると、その直列データストリームを処理のために並列データストリームに変換する。従って、コンピュータが直列ポートを介して周辺装置と通信する場合、データストリームは並列/直列/並列変換を受ける。この並列/直列/並列変換を実行する従来の方法は専用のハードウェアとソフトウェアを必要とする。さらに、フォーマットの識別（データ転送速度、パリティなど）を実行するために特別の努力が必要である。既知のパターンが要求され、多くの場合、フォーマットは限定される。この変換によって、最大データ転送速度も制限されてしまう。

【0004】 さらに、通信は非同期又は同期のいずれかになると思われる。コンピュータシステムの多くで、並列/直列変換を同期データについて実行する装置と、非同期データについて実行する装置とは別である。これは、通信の型ごとに標準インタフェースがあるためである。その結果、回路に要求される条件は複雑なものとなる。

【0005】 コンピュータ内部から直列出力へのデータの転送にも、特別なフォーマット作成が必要である。このフォーマット作成制御はコンピュータ内部のカスタマイズソフトウェアから得られるか、あるいは標準化ソフトウェアインタフェースと通信するソフトウェアドライバは別個のプロセッサとして形成されれば良い。従来の方法によれば、上記の方式を一度に1つしか実行できない。このため、複数の互いに明確に異なり、容易に交換できない別々の方法が要求されるのである。

【0006】

【発明が解決しようとする課題】 従って、本発明の目的は、シリアル通信のための汎用・構成可能アーキテクチャを提供することである。本発明の別の目的は、複数の通信装置のレジスタセットを単一の装置にエミュレートすることである。本発明のさらに別の目的は、並列データを変換し且つそのようなデータについてプロトコル変換を実現する方法及び装置を提供することである。

【0007】

【課題を解決するための手段】 本発明はシリアル通信のための構成可能アーキテクチャを提供する。このアーキテクチャは、同期データ通信と非同期データ通信の双方について並列/直列変換装置をエミュレートすることが

できる。本発明は、複数のレジスタセットを使用して標準インタフェースをエミュレートする。第1のレジスタブロックは、ホストコンピュータと局所プロセッサとを通信させるために、データ・制御記憶機能を実行する。第2のレジスタブロックは、独自のデータ・制御記憶機能と、いくつかの通信プロトコルを実現するための機能とを伴うシリアル通信コントローラ（SCC）をエミュレートする。SCCは直列データ出力を供給する。本発明は、標準要件に適合するインタフェースを依然として維持しつつ、同一の基本ブロックを使用して同期要件と非同期要件に対して構成を最適化する融通性をもったアーキテクチャを提供する。

【0008】本発明は同期／非同期通信のために8530型装置と並列の550型UARTを提供するように構成されるか、又は8530型装置と直列の550型装置を提供するように構成されれば良い。いずれの構成においても、本発明は標準インタフェースを提供しながら、従来の方式と比べて回路に課される必要条件を緩和する。

【0009】本発明は、16450/16550インタフェースを必要とする適用用途に対して最適化されたインタフェースを伴う多機能同期／非同期通信装置を構成する直列パケットコントローラを指向している。一実施例では、本発明は標準UARTインタフェースと通信しているように見えながら、CPUと局所プロトコルコントローラとをインタフェースさせるように設計されている。その場合、コントローラはどのような同期プロトコル又は非同期プロトコルに対してもシリアル通信コントローラ（SCC）ブロックを使用することができる。別の実施例では、単一の装置を非同期UART又は同期UARTのいずれかとして動作すべくプログラム可能であるように本発明を構成しても良い。

【0010】

【実施例】シリアル通信のための方法及び装置を説明する。以下の説明中、本発明をさらに完全に理解させるために、ビット数、レジスタの個数などの特定の事項を数多く詳細に挙げるが、そのような特定の詳細な事項を含まずとも本発明を実施することは当業者には明白であろう。また、場合によっては、本発明を無用にあいまいにしないように、周知の特徴を説明しないこともある。

【0011】図1は、従来の技術によるホスト／通信装置システムを示す。全体を破線10により示すホストコンピュータは、その一部に、CPUバス12を含む。CPUバス12はUART14に並列出力13を供給する。UARTは並列ストリームを直列ストリーム15に変換して、直列ポートから出力する。直列ストリーム15は直列ポートを介してモデム11などの外部通信装置に接続する。

【0012】UART14は、本特許出願の譲受人であるカリフォルニア州 タスティン のSilicon Systems, I

nc. が製造しているSSi73M550 UARTなどの装置によって実現されても良い。この装置及びそれに類する他の装置をここでは「550型装置」又は「550型UART」と呼ぶものとする。

【0013】モデムなどの通信装置は「知能」を備えている場合が多い。すなわち、モデムは装置の性能を向上させるためのマイクロプロセッサなどの処理手段を含んでいる。一般に、マイクロプロセッサは並列フォーマットのデータを必要とする。従って、今日の通信装置は、550UARTの直列出力をプロセッサが利用できる並列データに変換する第2の変換手段を含む。プロセッサは並列出力を発生するが、その後、最終的なモデムによる送信に備えて、その並列出力を直列データに再び変換しなければならない。

【0014】さらに、ホストコンピュータと、モデムなどの通信装置との通信は同期方式、非同期方式のどちらで実行されても良い。図2に示すように、従来の技術では、非同期通信専用の装置と、同期通信専用の装置とを設けていた。同期通信ブロック50は、Zilog が製造しているZ8530 SCCなどのシリアル通信コントローラ（SCC）であっても良い。他のメーカーも、Z8530 SCCと全く同じように動作する又はそれと互換性をもつSCC装置を製造している。この出願においては、そのような装置を8530型SCC装置又は8530型コントローラと呼ぶ。通常、8530型SCCは2つの全二重通信路を含む。すなわち、各通信路は直列データを受信して、それを並列データに変換するか、又は並列データを受信して、其れを直列データに変換することができる。それらの通信路を通信路A及び通信路Bと呼ぶ。

【0015】ブロック51は、本特許出願の譲受人であるカリフォルニア州 タスティン のSilicon Systems, Inc. が製造しているSSi73M550 UART又はSSi73M450 UARTなどの非同期通信装置を表す。この装置及びそれに類する他の装置をここでは「450型装置」又は「450型UART」と呼ぶものとする。550型UARTと、450型UARTの双方を実現する装置を「450/550インタフェース」を有しているという。同期通信装置50は信号線52を介してマルチプレクサ54に出力を供給する。非同期通信装置51は信号線53を介してマルチプレクサ54に出力を供給する。信号線55の直列出力は、非同期通信と、同期通信のどちらが望まれるかに応じて選択される。

【0016】550型UARTが8530型UARTと直列に結合しているようなシステムを提供することが望まれる場合は多い。これは、通信装置が関連するプロセッサを有している場合であることが多い。550型UARTと8530型SCCがマイクロプロセッサと接続している構成を実現する従来の方式の1例を図6に示す。CPUバス12は550型UARTに結合している。5

550型UARTは550型レジスタセット16と、550型直列化器17という2つの素子から構成されている。550型レジスタセット16はCPUバス12から並列データを受信し、それを直列出力への変換のために直列化器17に供給する。550型UARTの直列出力15は、通信路Aブロック18などの8530型SCCの一方の通信路に供給される。

【0017】550型レジスタセットは、ホストコンピュータのCPUバスからデータを受信する多数のレジスタから構成されている。通常、それらのレジスタは受信器バッファレジスタと、回線制御レジスタと、除数ラッチレジスタと、回線状態レジスタと、送信器保持レジスタと、モデム制御レジスタと、モデム状態レジスタと、割り込みイネーブルレジスタと、割り込みIDレジスタと、FIFO制御レジスタとを含む。データは、これらのレジスタに入力した後、直列化器に供給されて、直列ストリームに変換される。

【0018】8530型A通信路ブロック18（SCCの通信路A）は直列データを並列データに変換し、バス19に並列出力を発生する。このバス19に結合するマイクロプロセッサ22は並列データを受信し、必要な処理を実行する。マイクロプロセッサ22は関連メモリ23を有するが、このメモリはディスク記憶装置、RAM又は他の何らかの適切な記憶手段であれば良い。マイクロプロセッサ22からの処理済み並列データは、その後、8530型B通信路ブロック20（SCCの通信路B）に供給されて、直列出力21に変換される。直列出力21はモデムポンプなどの通信装置に供給される。

【0019】パーソナルコンピュータ用及びその他の型のコンピュータ用として書かれた多くのアプリケーションプログラムは、450/550インタフェース又は8530インタフェースと通信するように設計されている。詳細に言えば、モデムに対してデータを通信用又は送信するように設計された通信プログラムは、450型UART又は8530型装置と関連するレジスタセットと通信するように書かれているのである。従って、本発明は450型UART及び8530型UARTのレジスタセットに関するが、従来の450型又は550型UARTと関連する回路の全てを必要とするわけではない。本発明は、従来のSCCと関連する回路の全てを必要とするわけではないにもかかわらず、8530型SCCの機能性をも提供する。

【0020】本発明のブロック線図を図17に示す。PCバス12は接続点70で第1のレジスタセット16に結合している。接続点70はスイッチAの一方の端子にも結合している。レジスタセット16の出力端子は接続点71で第2のレジスタセット35の入力端子に結合している。第2のレジスタセット35の出力は接続点72において供給される。

【0021】スイッチAは接続点74（開回路のとき）

又は接続点71に結合されれば良い。第2のスイッチであるスイッチBは接続点73のSCCブロック77と接続点72との間、又はSCCブロック77と接続点71との間に選択的に結合される。SCCブロック77は信号線21に直列出力を発生する。

【0022】本発明では、第1のレジスタセット16は550型レジスタセットをエミュレートし、第2のレジスタセット35は8530型レジスタセットをエミュレートする。スイッチA及びBを選択的に開閉することにより、図17の装置を多様に構成できる。

【0023】以下の説明では、550型レジスタセットと、8530型レジスタセットとをエミュレートするものとして本発明を説明するが、この説明は単に例示を目的とするだけである。本発明はこのような装置には限定されず、3つの機能ブロックと、2つのスイッチとを伴う複数の通信装置をエミュレートする方法及び装置を提供する。第1及び第2のブロックはシリアル通信装置のレジスタセットをエミュレートする。第3のブロックは並列/直列変換装置の機能性をエミュレートし且つ実行する。変換装置は、単同期、双同期、HDLC及びSDLCなどのシリアル通信のための複数のプロトコルを実現するためにも使用される。

【0024】スイッチAが接続点71に結合し且つスイッチBが接続点72に結合するとき、装置は8530型装置と直列の550型装置として構成される。本発明では、これを「デュアルプロセッサ並列データモード」という。スイッチAが接続点71に結合し且つスイッチBが接続点71に結合するときには、装置は550型装置又は8530型装置のいずれかとして構成される。本発明では、これを「シングルプロセッサモード」という。スイッチAが接続点74に結合し（開成）且つスイッチBが接続点72に結合するときには、図17の装置は「シングルプロセッサ並列データモード」と呼ばれる構成となる。

【0025】デュアルプロセッサ並列データ

図3は、550型装置として構成された図17の装置を詳細に示す。破線76は550型レジスタセットを表し、ブロック35として8530型レジスタを表し、破線77はSCCブロックを表している。バス25のデータは550型レジスタブロック76に供給される。バスゲートウェイ60はこの実施例では開成している。従って、データは8530型レジスタブロック35に直接には供給されない。SCCブロック77は550型直列化器ブロック17（図6を参照）をエミュレートする。550型レジスタブロック76とSCCブロック77について以下に詳細に説明する。

【0026】550型レジスタブロック76

550型レジスタセットブロック76はバス25と、バスインタフェース論理41とを介してホストコンピュータのCPUに直接結合している。バス25はデータビッ

トD0～D7を並列に受信し、並列出力をバス26に供給する。バスインタフェース論理41はPCバスから制御信号を受信して、それらの信号をバス26に供給する。550型レジスタブロック76は550型UARTのレジスタセットをエミュレートするためにいくつかのレジスタを利用する。本発明では、レジスタに書き込まれたデータを第2のバス33へ読み出せるようにデュアルポートレジスタを利用している。550型レジスタブロック76に含まれるレジスタはスクラッチレジスタ27と、制御レジスタ28と、ボー発生器レジスタ29と、送信用レジスタ30と、受信信用レジスタ31と、割り込み論理レジスタ32である。

【0027】スクラッチレジスタ27はデータ経路の外側に通信経路を形成する。従来、モデムプロトコルは、データ経路の外に制御経路は存在しないというを基礎としていた。データ経路の外に制御経路がないため、AT指令セット（オートシンク及びオートストリーム）を実現する。そのような制御経路を得るためにスクラッチレジスタ27を使用することができる。

【0028】制御レジスタブロック28は象徴的に550型制御レジスタと、通信路B用制御レジスタという2つの別個のレジスタとして示されている。本発明の好ましい実施例では、制御レジスタ28は単一のデュアルポートレジスタであるが、実際には2つの別個のレジスタがあるかのようにデュアルポートレジスタを利用すれば良い。ホストコンピュータからの制御情報を制御レジスタブロック28に書き込むことができる。制御レジスタブロック28に書き込まれたデータをSCCブロック77により直ちにバス33へ読み出すことができる。制御レジスタブロック28は550型レジスタセットブロック76に関しては制御レジスタとして機能し、SCCブロック77に関しては「通信路B」用制御レジスタブロックとして機能する。

【0029】先に述べた通り、従来の技術におけるSCCブロックは通信路Aと、通信路Bという2つの通信路を有する。本発明では、SCCブロック77は従来のSCCの一方の通信路、すなわち、通信路Aを実現する。SCCブロック77により読み取り可能である550型レジスタを本発明では「通信路B」用レジスタと呼ぶ。

【0030】再び550型レジスタセットブロック76に戻ると、ボー発生器レジスタ29はバス26及びバス33に結合している。ボー発生器レジスタ29はPCバスからボーレート信号を受信する。通信装置データを介して通信するアプリケーションプログラムはデータを送信するための所定のボーレート、例えば、300ボー、1200ボー、2400ボーなどを指示する。本発明はこれらのボーレートには限定されず、ホストコンピュータのバス速度によってのみ限定される。従来は、通信路速度、すなわち、直列データを並列データに変換する通信路が通信を制限していた。本発明の装置と通信するア

プリケーションプログラムは2400ボーの最大通信速度を有すると考えられるが、ホストコンピュータのバス速度は2400ボーよりはるかに速いかもしれない。たとえそうであっても、アプリケーションプログラムは、通信が所望の速度で起こっているという確認を受信しなければならない。ボー発生器レジスタ29でボーレートをインターセプトする事により、通信がさらに高速で起こっていても、確認信号を発生して、アプリケーションプログラムに供給することができる。

【0031】送信用レジスタ30は先入れ先出し（FIFO）レジスタによって実現される。このレジスタ30はバス26から送信データ情報を受信するので、550型UART転送用レジスタをエミュレートしていることになる。このデータはバス33に読み出せる状態になり、したがって、レジスタ30は8530型装置は通信路B受信信用レジスタをエミュレートする。レジスタ30の出力はバス33に供給される。

【0032】同様に、受信信用レジスタ31は550型UARTの受信信用FIFOと、8530型装置の通信路Bの送信用FIFOとをエミュレートする。割り込み論理レジスタ32は、データがレジスタのいずれかに供給されるたびに、ホストコンピュータと、局所マイクロプロセッサとに対して割り込みを実行させる。

【0033】本発明の制御レジスタ28は、SSI73M550などの典型的な550型UARTにある多数のレジスタをエミュレートする。制御レジスタ28は550型UARTの回線制御レジスタと、除数ラッチレジスタと、回線状態レジスタと、モデム制御レジスタと、モデム状態レジスタと、FIFO制御レジスタとをエミュレートする。しかしながら、本発明によれば、従来の550型UARTの多数の素子を排除することができる。特に、本発明の550型レジスタブロックには、受信器側シフトレジスタと、受信器側タイミング・制御装置と、ボーレート発生器と、送信器側タイミング・制御装置と、送信器側シフトレジスタと、モデム制御論理ハードウェアがない。これらの素子の機能性は8530型SCCブロック77で実現される。

【0034】8530型SCCブロック77

8530型ブロック77（すなわち、SCCブロック77）は局所マイクロプロセッサと通信するためのマイクロポートバスインタフェース論理ブロック42を含む。バス34は並列データビットD0～D7を局所マイクロプロセッサに直接供給することができる。SCC制御レジスタ35はバス33に結合し、データ及び制御信号を受信する。ボー発生器／デジタルPLLブロック36はクロック発生器であり、ボー発生器レジスタ29に書き込み可能であるボーレート発生器を含む。データ中に符号化されているクロック信号を回復するために、デジタルフェーズロックループが実現される。

【0035】送信用通信路37と受信信用通信路38は、

特定のプロトコルを実現し、制御レジスタからでたビットを受信し、適切な出力を供給する実際のエンジンである。これらのブロックは通信フォーマットを制御する。例えば、本発明では、同期フォーマット、非同期フォーマット、バイシンクフォーマット、モノシンクフォーマット、HDL Cフォーマット及びSDL Cフォーマットを全て実現することができる。ブロック39は通信路A割り込み論理ブロックである。水晶発振器・事前分周ブロック40はプログラム可能周波数発生器を実現する。

【0036】シングルプロセッサモード

図4は、550型装置または8530型装置のいずれかとなるように構成された図17の装置を詳細に示す。この実施例では、バスゲートウェイ60は閉成しており、バス33はSCCブロック77の通信路Bレジスタに結合しているだけである。従って、バス25のデータは550型レジスタブロック76に供給されると共に、バス33を介して8530型制御レジスタブロック35に直接供給される。ポー発生器ブロック36と、送信用ブロック37と、受信用ブロック38と、割り込み論理ブロック39は全てバス33に直接結合している。ブロック28~32の通信路Aはこの実施例では不要であるので、図示されていない。

【0037】装置を550型装置として動作させるときには、装置が550型装置として動作するように制御レジスタブロック28からの制御信号をSCCブロック77に供給する。8530モードでは、スクラッチレジスタ27をSCCブロック77の制御レジスタとして規定する。

【0038】シングルプロセッサ並列データモード

図5に、シングルプロセッサ並列データモードを示す。バス33はSCCブロック76の通信路Bと、レジスタ27~32の双方に結合している。さらに、バスゲートウェイ60は閉成している。シングルプロセッサ並列データモードはコントローラを不要にするために使用され、このモードによれば、標準非同期インタフェースを維持しつつ、ソフトウェアドライバに実質的にどのようなプロトコルでも実行させることができる。550型レジスタセットに書き込まれた文字をセーブし、割り込みを発生する。そこで、ソフトウェアドライバは通信路A（レジスタを介してアクセスされる）から文字を読み取り、SCCブロック77を使用して、プロトコルが要求する通りのフォーマットをもつデータを送信することができる。

【0039】本発明は標準装置インタフェースを提供するが、データは並列のままであるので、通常はデータを直列化するために、必要である回路を全く含んでいない。これにより、ハードウェアを節約できる。さらに、データが並列のままであるために、動作をバス速度で実行することができ、性能は大きく向上する。

【0040】数多くの機能を実行するためには、コンピ

ュータバスに接続し、プロトコル変換を実行する装置が必要である。このプロトコル変換は単純な指令解釈、データフォーマット規定、データ修正またはモデムで見られるような電氣的フォーマット変換からなると考えられる。変換機能を監視する目的でプロセッサを使用する場合が多い。コンピュータバスとの通信には、通常、並列ポートを使用する。プロトコル機能を実現する典型的な方法の1つは、中央処理装置に対して標準インタフェースを実行すると共に、データを直列フォーマットに変換する装置を提供するものである。それにより、このデータは装置のプロセッサが使用するためのフォーマット（並列フォーマットなど）に変換される。プロトコル変換を実現するためには、別の装置を使用する。この方法は複数の装置で3つの変換ブロックを必要とする。

【0041】本発明は、様々のプロトコル変換を実現するのに適切なハードウェアを提供する。プロトコル変換は、本発明の装置に結合する局所マイクロプロセッサにあるソフトウェアで実現される。バイシンク、モノシンク、HDL C及びSDL Cなどのプロトコルは当該技術では良く知られており、それらを局所マイクロプロセッサのソフトウェアで実現するのは容易である。

【0042】コンピュータ内部に記憶されているデータをコンピュータからのフォーマット規定直列出力に変換する動作は、いくつかの方式の中の1つによって実行されれば良い。フォーマット規定制御はコンピュータのカスタマイズソフトウェア、あるいは標準インタフェースと通信する別個のドライバまたはプロセッサにより実行されれば良い。本発明は、上記の方法のいずれをも実行する再構成可能アーキテクチャを提供する。

【0043】装置を、レジスタブロックが表す装置としてまたはSCC及びその関連機能として選択可能なソフトウェアとなるように再構成しても良い。このアーキテクチャの利点は、標準要件に適合するインタフェースを常に維持しつつ、必要が生じることにより同一の基本ブロックを使用して構成を最適化するその融通性にある。この再構成能力は、本発明の装置を統合しない限り不可能である。

【0044】図7乃至図16は、本発明のレジスタマッピングの説明図で、図7は図8と図9の関連を、図10は図11と図12の関連を、また図13は図14と図15の関連を示す。各レジスタマッピングの初めの2つの欄は各レジスタと、それに関連する略語を表している。3番目の欄はレジスタのアドレスを表し、残る8つの欄は各レジスタに関わるデータビット数値を表す。このマッピングは、550型UARTと通信するために書かれたアプリケーションプログラムに対する標準インタフェースを示している。例えば、従来のアプリケーションプログラムは特定の記憶場所にある8つのアドレス位置に書き込むべく書かれている。本発明では、3つのレジスタセット全てが8つのアドレス位置に当てはまるように

なっている。

【0045】図8と図9は、550型レジスタのレジスタマッピングを示す。図11と図12は、通信路Bレジスタのレジスタマッピングを示す。本発明においては、550型レジスタと通信路Bレジスタを単一のデュアルポートレジスタによって実現している。レジスタの中のいくつかを共用し且ついくつかのアドレス位置を共用しているので、本発明はこの重複を利用するようにレジスタをマッピングしている。図8と図9を参照すると、

「ループ」モードはモデム制御レジスタの適切なビット(D4)をセットすることによりイネーブルされる。次に図11と図12を参照すると、モデム制御レジスタの同じビット(D4)はループイネーブル位置である。

尚、通信路Bのモデム制御レジスタは「読み取り専用」である。これは、550型レジスタセットと通信路Bレジスタが単一のデュアルポートレジスタとして実現されているためである。550型レジスタはホストCPUバスにより書き込まれる。その後、データは、8530型装置の通信路Bレジスタから読み取ったかのように、バス33へ読みだし可能な状態になる。図11と図12の構成制御レジスタは図3の事前分周ブロック40に位置している。

【0046】図14と図15及び図16は、SCCブロックの通信路A書き込みレジスタと、通信路A読み取りレジスタのマッピングをそれぞれ示している。以上、複数のシリアル通信装置をエミュレートする方法及び装置を説明した。

【図面の簡単な説明】

【図1】従来のプロセッサ／通信装置インタフェースの1つを示すブロック線図。

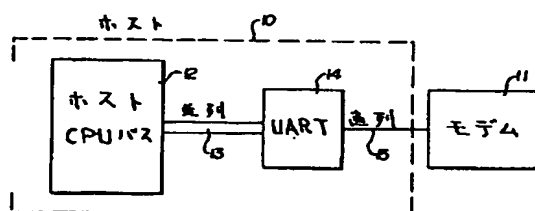
【図2】同期及び非同期通信のための従来のシステムのブロック線図。

【図3】本発明の1つの構成のブロック線図。

【図4】本発明の第2の構成のブロック線図。

【図5】本発明の第3の構成のブロック線図。

【図1】



【図6】局所プロセッサとの通信のための従来のシステム構成のブロック線図。

【図7】図7と図8の関連説明図。

【図8と図9】本発明の一実施例の550型レジスタセットのマッピングを示す図。

【図10】図11と図12の関連説明図。

【図11と図12】本発明の一実施例の通信路Bレジスタのマッピングを示す図。

【図13】図14と図15の関連説明図。

【図14と図15】本発明の一実施例の通信路A書き込みレジスタのマッピングを示す図。

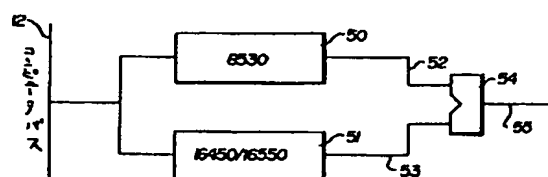
【図16】本発明の一実施例の通信路A読み取りレジスタのマッピングを示す図。

【図17】本発明の好ましい実施例のブロック線図。

【符号の説明】

- 12 PCバス
- 16 第1のレジスタセット
- 25 バス
- 27 スクラッチレジスタ
- 28 制御レジスタ
- 29 ポー発生器レジスタ
- 30 送信用レジスタ
- 31 受信用レジスタ
- 32 割り込み論理レジスタ
- 33, 34 バス
- 35 SCC制御レジスタ
- 36 ポー発生器ブロック
- 37 送信用ブロック
- 38 受信用ブロック
- 39 割り込み論理ブロック
- 40 水晶発振器・事前分周ブロック
- 41 バスインタフェース論理
- 60 バスゲートウェイ
- 76 550型レジスタセット
- 77 SCCブロック

【図2】



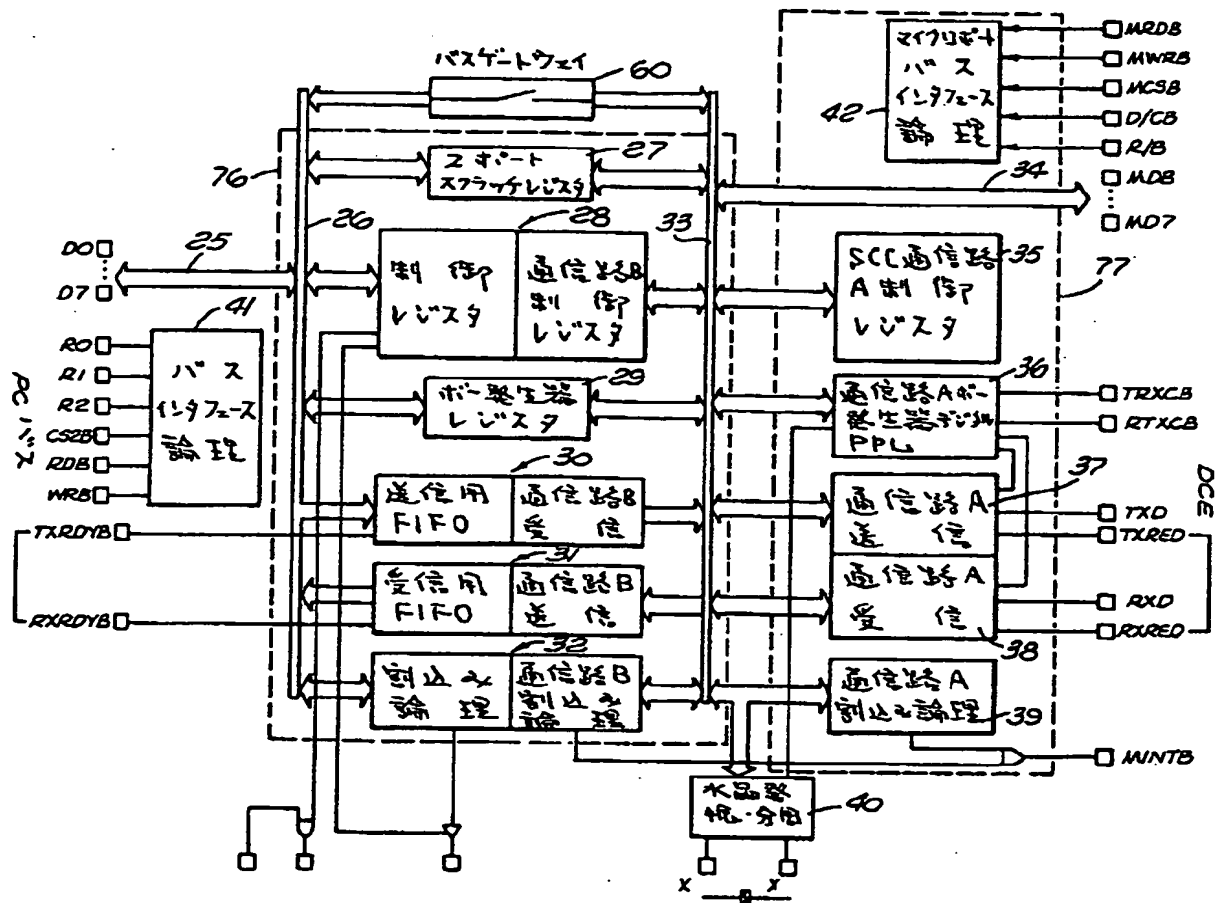
【図7】

【図10】

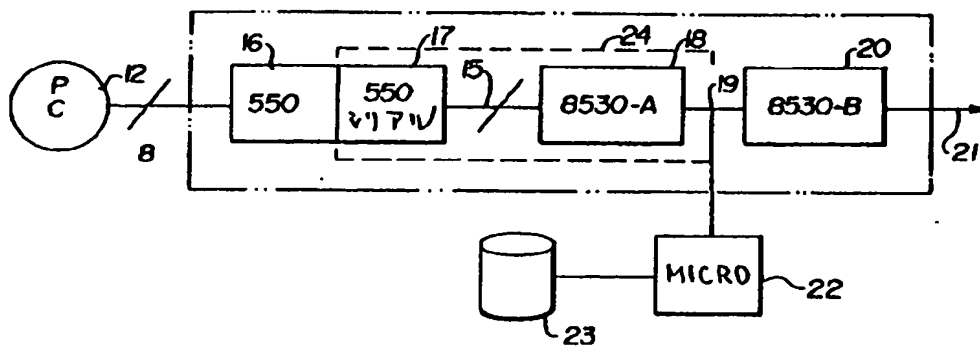
図 8
図 9

図 11
図 12

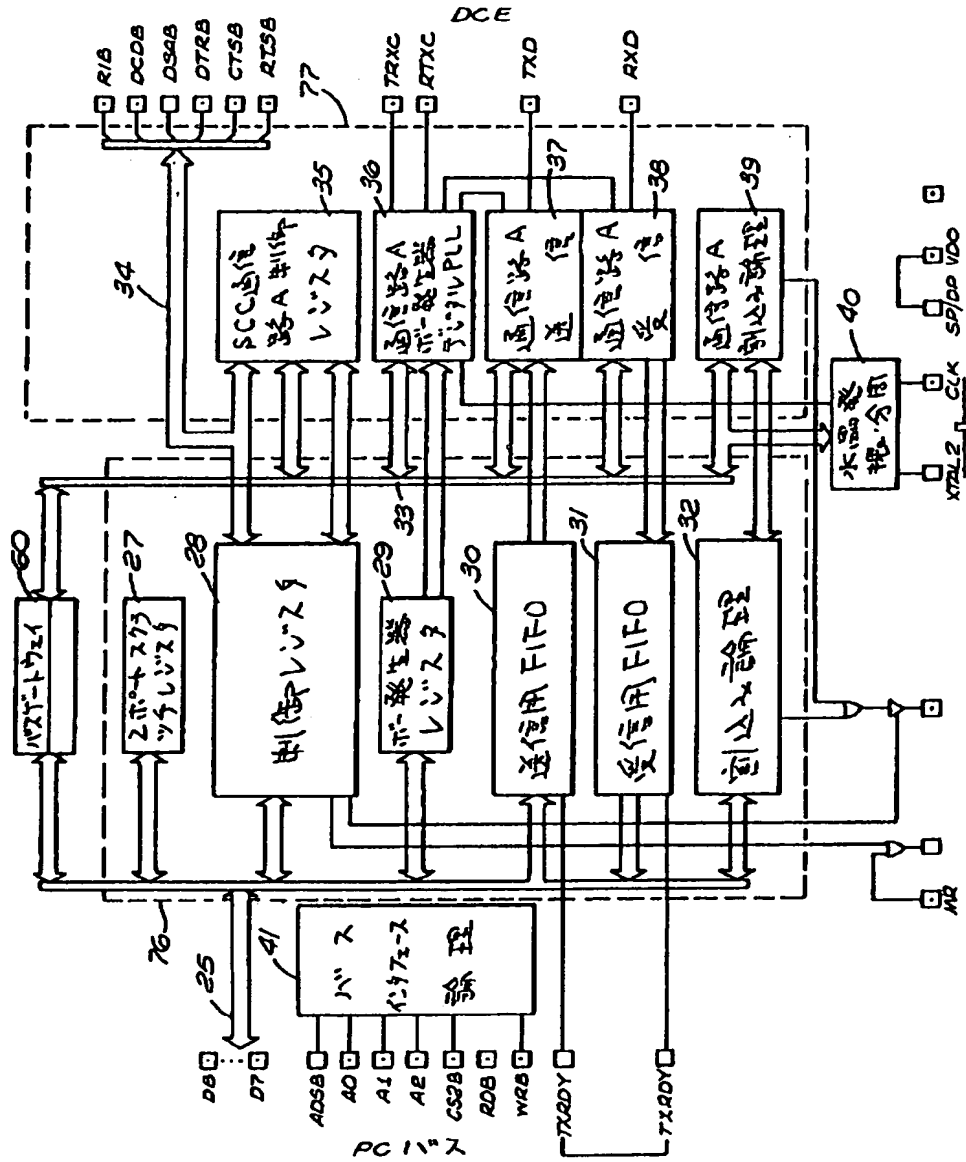
【図 3】



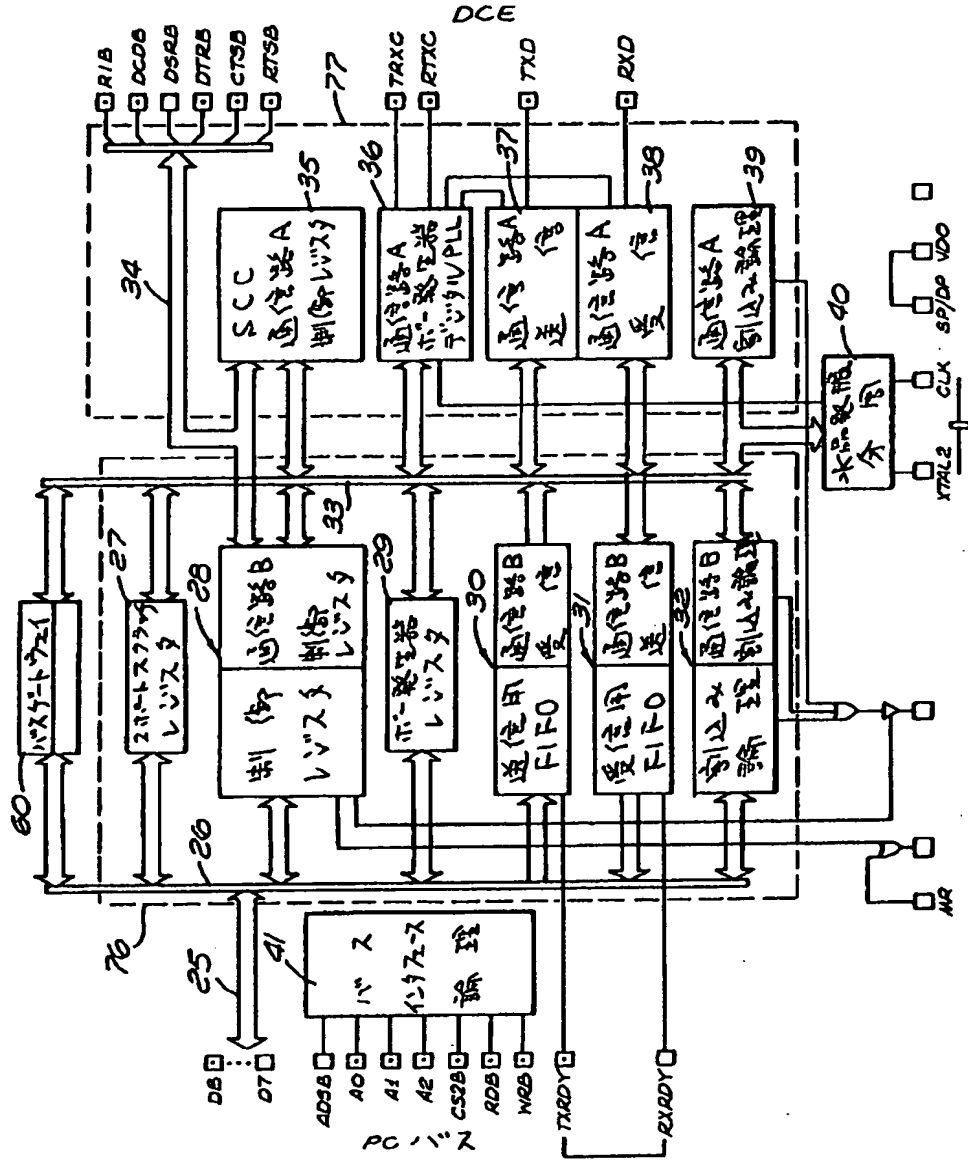
【図 6】



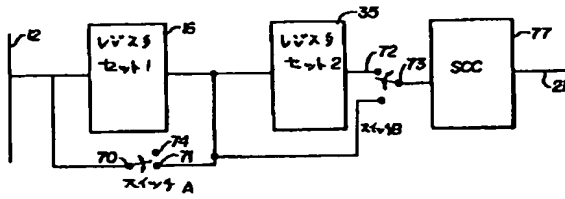
【図4】



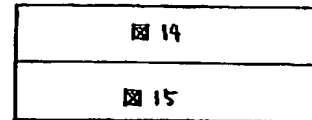
【図5】



【図17】



【図13】



【图8】

[illegible]

【図11】

レジスタ	アドレス	D7	D6	D5	D4	D3	D2	D1	D0
UART 命令 レジスタ (書き込み専用)	UCR DSR O/C-QR/8=0 ONECS-1 O/C-QRS=1 RCSELO-1	0	0	0	0	ビット3 書き込み	ビット2 書き込み	ビット1 書き込み	ビット0 書き込み
送信バッファ レジスタ (読み取り専用)	RBA O/C-QA/O=0	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
送信保持 レジスタ (書き込み専用)	THA O/C-QR/O=0	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
割り込みイネーブル レジスタ	IER 1	0	0	0	0	0	ビット3 イネーブル	ビット2 イネーブル	ビット1 イネーブル
割り込みIDレジスタ (読み取り専用)	IIR 2	0	0	0	0	0	ビット2 ID2	ビット1 ID1	ビット0 ID0
割り込みIDレジスタ レジスタ (読み取り専用)	LCA 3	0	ビット0 セット	ビット1 ハイレベル	ビット2 ハイレベル	ビット3 ハイレベル	ビット4 ハイレベル	ビット5 ハイレベル	ビット6 ハイレベル

【図12】

レジスタ	アドレス	D7	D6	D5	D4	D3	D2	D1	D0
モジュール レジスタ (読み取り専用)	MCR 4	0	0	0	0	0	0	0	0
回線状態 レジスタ	LSR 5	0	0	0	0	0	0	0	0
モジュール レジスタ	MSR 6	0	0	0	0	0	0	0	0
スラッシュレジスタ	SCR 7	0	0	0	0	0	0	0	0
除数ラッチ	DLL 9	0	0	0	0	0	0	0	0
除数ラッチ	DUM A	0	0	0	0	0	0	0	0
制御レジスタ	CCR 0	0	0	0	0	0	0	0	0

【図14】

レジスタ	アドレス WR8 (35)	D7	D6	D5	D4	D3	D2	D1	D0
指令									
レジスタ	WR0 O/COR/R=0 DNECS-1 RS-1 RCSELO-1	CRC ビット 1	CRC ビット 0	指令コード 1	指令コード 1	指令コード 0	レジスタ 送付 2	レジスタ 送付 1	レジスタ 送付 0
Tx/Rx 割込み データ転送	WR1 1 (WR専用)	0	0	0	割込み 受信 ビット 1	割込み 受信 ビット 0	ハリテ 特殊 ビット	送信 ビット Tx bit	受信 ビット Rx bit
割込みベクトル レジスタ	WR2 RR2 ビット7 (MSB)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
受信制御	WR3 3 (WR専用)	Rx バイト/ Char 1	Rx バイト/ Char 0	ル-1V ビット 1	空送付 ビット 1	RxCRC ビット 1	レジスタ 送付 0	レジスタ 送付 1	受信 ビット Rx bit
Tx/Rx Misc. モード	WR4 RR4 4 (RD/WR)	クロック速度 ビット 1	クロック速度 ビット 0	SYNC ビット 1	SYNC ビット 0	ビット 1	ビット 0	ビット 1	ビット 0
送信制御	WR5 RR5 5 (RD/WR)	DTA	Tx バイト/ Char 1	Tx バイト/ Char 0	送信 ビット 1	送信 ビット 0	SDLC/ CRC-16	RTS	TxCRC ビット 1
アドレス	WR6 RR6 6 (RD/WR)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0

【図15】

SYNC Char 213 SDLC フ 通信バースタ レジスタ マスタ 割込み制御 R/R	WR7 RR7	7 (RD/WR)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
通信バースタ レジスタ マスタ 割込み制御 R/R	WR8 RR8	8 (RD/WR)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
通信バースタ レジスタ マスタ 割込み制御 R/R	WR9 RR9	9 (RD/WR)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
通信バースタ レジスタ マスタ 割込み制御 R/R	WR10 RR10	10 (RD/WR)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
通信バースタ レジスタ マスタ 割込み制御 R/R	WR11 RR11	11 (RD/WR)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
通信バースタ レジスタ マスタ 割込み制御 R/R	WR12 RR12	12 (RD/WR)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
通信バースタ レジスタ マスタ 割込み制御 R/R	WR13 RR13	13 (RD/WR)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
通信バースタ レジスタ マスタ 割込み制御 R/R	WR14 RR14	14 (RD/WR)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
通信バースタ レジスタ マスタ 割込み制御 R/R	WR15 RR15	15 (RD/WR)	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0

【図16】

レジスタ	アドレス WR0 (32)	D7	D6	D5	D4	D3	D2	D1	D0
ハフフ 外部状態	RR0	検出中断 エラー	アンダーラン EOM 255	CTS	おき置	DCD	ハフフ 受信	ビット カウンタ	利用可能 文字送信
特殊受信 条件状態	RR1	フレーム エラー SOLO	CRC エラー フレーム	エラー 検出受信	ハフフ/ CRC32 エラー	ビット 残り 2	ビット 残り 1	ビット 残り 0	金通信
割り込み バウンス	RR2	ビット7 (MSB)	ビット6	ビット5 CH	ビット4 CH	ビット3 CH	ビット2	ビット1	ビット0 (LSB)
割り込み状態 レジスタ	RR3	0	0	内部受信 エラー	内部受信 エラー	内部受信 エラー	内部受信 エラー	内部受信 エラー	内部受信 エラー
データ受信 レジスタ	RR8	ビット7 1/C=1 A/B=1	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
Misc. 状態	RR10	10	1クロック 欠落	2クロック 欠落	エラー	CRC6	CRC3	エラー	エラー

フロントページの続き

(72)発明者 ダウン・ラングストン
 アメリカ合衆国 95959 カリフォルニア
 州・グラス バレイ・グリーンホーン ロ
 ード・14981